

B

最新のLSI向け新材料と評価技術

これまで、LSIの高速化と高集積化は微細加工技術の進歩によって支えられてきた。しかし、その一方で配線の微細化は配線抵抗の増大や配線間容量の増大といった弊害をもたらし、またゲート絶縁膜の薄膜化は限界に近づきつつある。これらの限界を打ち破り、LSIのさらなる高速化を追求するためには、新材料の導入が不可欠と考えられているが、これらの新材料をLSIの製造工程に導入するには、さまざまな問題を克服する必要があり、現在も活発な技術開発が進められている。

ここでは、これら新材料の導入と関連する評価技術について紹介する。

B-1

ゲート用高誘電率材料と評価方法

CPUに代表される論理LSIの高速化が、微細加工技術の進歩によって支えられてきた背景には、MOSトランジスタのゲート長を微細化することで電流駆動能力が向上し、結果としてゲート遅延が短縮されるという事実がある。しかし、スケールリング則によると、トランジスタの性能向上を維持しつつ微細化を進めるには、ゲート長などの平面方向だけでなく、ゲート絶縁膜厚など縦方向の微細化も同時に進める必要がある。その結果としてトランジスタのゲート絶縁膜厚は薄膜化の一途をたどり、 $0.1\mu\text{m}$ プロセスでは、ゲート絶縁膜厚として SiO_2 換算で 2nm が必要になるとされている。

しかし、従来からゲート絶縁膜として用いられてきた SiO_2 は、膜厚が約 3nm 以下になると、電気伝導機構がFowler-Nordheim型トンネル電流から直接トンネル電流へと移行し、急激にリーク電流が増大するという物理的な限界に直面する。そのため、 SiO_2 に代えて比誘電率の高い絶縁材料、いわゆるHigh-k材料を用いることにより、実効的なゲート酸化膜厚を低減する研究が進められており、 ZrO_2 、 TiO_2 、 HfO_2 などがその候補にあげられている。

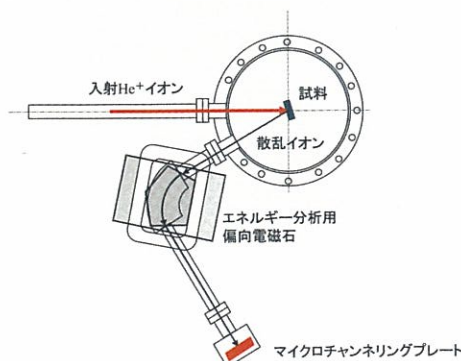
いっぽう、ゲート絶縁膜はリーク電流が少ないだけでなく界面単位密度が低い必要があり、その点においては、従来の SiO_2 の広いバンドギャップと良好な界面特性は捨てがたいものがある。そこで、

上記のHigh-k材料の下に SiO_2 を挿入した積層構造が検討されているが、これらの熱安定性を含めた挙動の理解は、現在も課題の一つになっている。

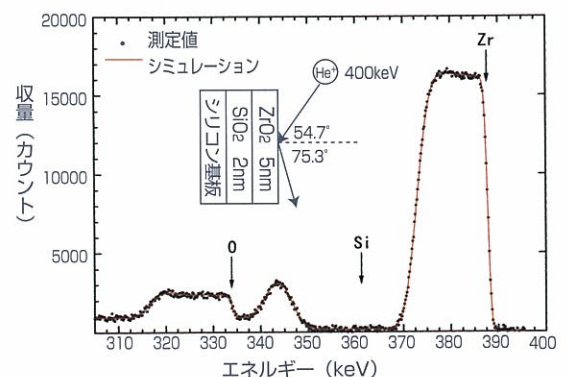
このような極薄積層構造の解析をおこなうためには、深さ方向の分解能の高い分析手法が必要であるが、当社は高分解能型RBS（ラザフォード後方散乱分析）装置により、このような分析ニーズに対応している。

RBSはMeVオーダーのヘリウムイオンを試料表面に照射し、試料中の原子核との弾性散乱によって後方に散乱されたヘリウムイオンのエネルギーと強度を測定することによって、試料表面付近の組成と深さ方向分布を知ることができる分析手法であるが、特に高分解能型RBSでは第1図に示すように、後方散乱されたヘリウムイオンのエネルギー測定に磁場型エネルギー分析器をもちいてエネルギー分解能を従来よりも1桁向上させており、その結果として深さ方向の分解能も1桁程度の向上が期待される。

第2図は、高分解能型RBSを用いて $\text{ZrO}_2/\text{SiO}_2$ の積層構造を解析した例である。膜厚が約 5nm の ZrO_2 の下に約 2nm の SiO_2 が形成されていることがわかる。このように高分解能型RBSは極薄膜の構造解析に大きな威力を発揮することが期待される。



第1図 高分解能型RBSの概略図



第2図 高分解能型RBSによる $\text{ZrO}_2/\text{SiO}_2$ 分析例

B-2

多層配線における新材料と評価方法

銅配線技術

LSIの最小加工線幅、いわゆるデザインルールが $0.1\mu\text{m}$ に近づくに従って、微細化による高速化

の効果が鈍化することが指摘されてきた。

これにはいくつかの理由があるが、その最大の要因は微細化にともなう配線遅延の増大である。配線遅延とは配線抵抗と配線間容量の積によって

決まるRC遅延であるが、ここで配線抵抗は配線幅の縮小によって増大し、また配線間容量は配線ピッチの縮小によって増大することから、微細化とともに配線遅延は増加の一途をたどることになる。

その結果、現在のLSIにおける遅延時間は、トランジスタのゲート遅延よりも配線遅延によって支配されるといわれており、その低減は今日のLSIの高速化技術における最大の課題となっている。

配線遅延を低減するには基本的に、1) 配線抵抗を低減する、2) 配線間容量を小さくする、の二つの対策が必要であり、前者のためには従来のアルミ合金に代えて銅配線の導入、後者のためには従来のSiO₂系層間絶縁膜に代えて、低誘電率絶縁材料いわゆるLow-k材料の導入、などの技術開発が進められている。ここでは、まず銅配線技術と関連する評価技術について紹介する。

銅は銀に次いで比抵抗の低い材料であり、その比抵抗は1.6 μΩ・cmとアルミの2.7 μΩ・cmの約60%である。LSIの配線材料として見たときに、銅がアルミと大きく異なる点は、銅はプラズマエッチングによる加工が困難なことであり、そこであらかじめ形成した溝および接続孔（ビアホール）に銅を埋め込み、表面部分の余剰な銅を研磨除去することで、配線を形成するデュアルダマシン法が開発された。

またこのときの銅薄膜の形成方法としては、電解めっき法が導入された。めっき法は微細なビアホールへの埋め込み性が高いこと、また生産性が高いといった利点がクローズアップされ、一気に銅配線膜の成膜方法として定着した。

いっぽう、めっき法によって成膜された銅は、室温でも再結晶が進むなど、PVD法とは異なった振る舞いをするのが知られており、新たな関心を集めている。

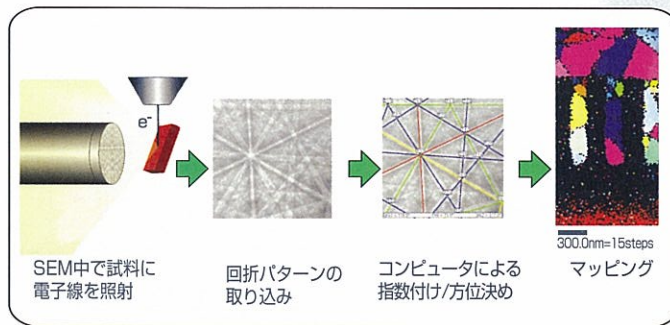
LSIの配線材料としての銅のもう一つの特徴は、エレクトロマイグレーション（EM）耐性に優れる点である。実際に平面上に形成された銅配線のEM寿命は、実用上問題とならないほど長いといわれているが、その一方で実際の配線構造では、ビアホールにおいてストレスマイグレーションと呼ばれる銅の吸い上がり現象が生じることがあり、結果的に配線の長期信頼性が損なわれることがある。この現象においては配線膜の結晶配向性が重要な要因の一つであると考えられる。

EBSP(Electron Back Scatter Diffraction Pattern：後方電子散乱回折像)法は薄膜の結晶配向を可視化する技術として注目を集めている。

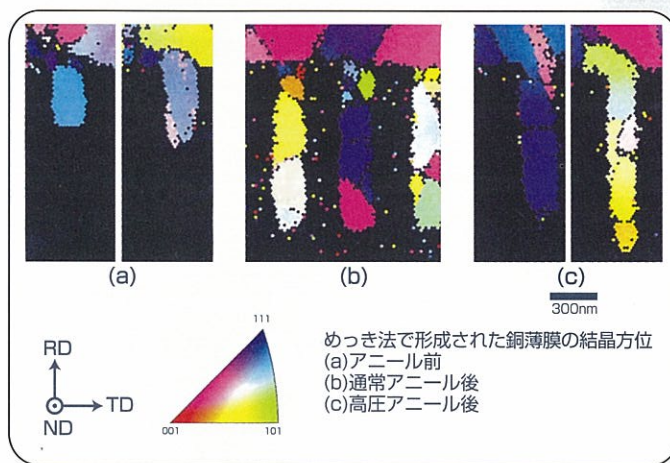
第3図にEBSP法の測定原理を示す。EBSP法は電子線回折法の一種であるが、菊池線と呼ばれる回折パターンをコンピュータで解析することで各結晶粒の方位を決定し、マッピング表示するものである。

第4図は常圧および高圧下でアニールされた0.25 μm径のビアホール中の銅の配向を観察した例である。従来からFIBによるSIM像によって結晶粒

を識別することが可能であったが、EBSP法をもちいることで、各々の結晶粒の結晶配向を知ることが可能になり、エレクトロマイグレーションやストレスマイグレーションといった現象の究明に威力を発揮することが期待される。



第3図 EBSP法の測定原理図



第4図 各種条件でアニールされた銅のEBSP測定例

低誘電率絶縁材料

配線遅延を低減するためのもう一つの方策は低誘電率絶縁膜材料の導入である。LSIの配線間絶縁材料としては長らくSiO₂がもちいられてきた。SiO₂の比誘電率は約3.9であり金属酸化物の中では比較的低い方に属するが、さらに低い比誘電率を有する層間絶縁膜材料の研究開発が精力的に進められている。

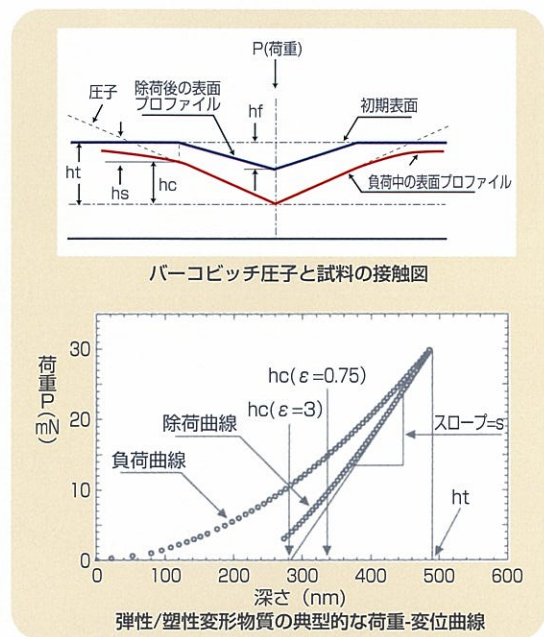
低誘電率材料、いわゆるLow-k材料は無機系と有機系に大別することができる。前者はSiO₂をベースとしてふっ素をドーブしたものや骨格の末端をHやCH₃で終端した材料が開発され、比誘電率で2.8程度の材料が開発されている。一方の有機系はほとんどの製品の構造が非公開であるが、同程度の比誘電率を有する材料が開発されている。しかし、無機系、有機系のいずれも比誘電率で2.0以下を実現するのは困難であり、さらなる低誘電率化のためにこれら材料をベースにした多孔質材料が検討されている。

安定で強固な物質であるSiO₂の場合と異なり、Low-k材料をLSIの配線プロセスに組み込むうえでの問題点は数多いが、その一つに機械的強度の問題がある。すなわち現在のLSIの配線工程では

絶縁膜をCMP（化学的機械研磨）法によって平坦化するのが一般的であるが、この工程において絶縁膜が割れたり剥がれたりしてはならない。

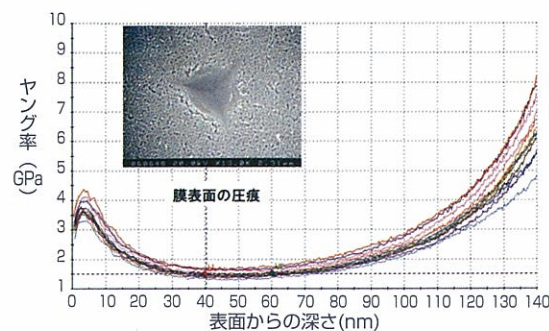
すなわちLow-k材料は低い比誘電率とともに高い機械強度を兼ね備えることが要求される。ところが、従来のSiO₂のヤング率が73GPaと高いのに対してLow-k材のヤング率は1~5GPa程度と低く、CMP耐性が十分ではないといわれている。このような背景から薄膜の機械強度測定のニーズが高まっており、当社では最新鋭のナノインデントナーを導入し、このようなニーズにこたえている。

ナノインデントナーの測定原理は第5図に示すように、パーコピッチ圧子を試料に押し込むことで試料の硬度、ヤング率を測定するものであるが、さらに圧子を深さ方向に振動させることにより、深さ方向分布を求めることが可能である。



第5図 ナノインデントナーの原理図

第6図は多孔質SiO₂薄膜の硬度を測定した例であるが、表層付近に硬化層の存在が示唆される。また深い部分で硬度が急増しているのは基板の影響であり、中間の平坦な部分が膜そのものの硬度を示していると考えられる。またナノインデントナーはスクラッチ法による密着強度の評価も可能であり、Low-k材料の評価に幅広く活用されることが期待される。



第6図 ナノインデントナーによるLow-k材料のヤング率測定例

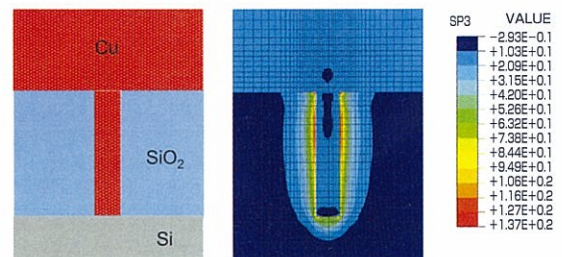
多層配線構造における応力解析

LSIの多層配線は金属と絶縁物で作られた複雑な構造物であり、0.1 μm世代のCPUの配線層数は8~9層に達するといわれている。

多層配線はその形成工程においてさまざまな熱履歴を受けるため、配線構造の内部には熱膨張差に起因する応力が発生する。

たとえば、層間絶縁膜にSiO₂が用いられる場合、その線膨張率は約5×10⁻⁷/Kと小さいのに対し、銅の線膨張率は1.7×10⁻⁵/Kと数10倍も大きいので、ビアホールの中に埋め込まれた銅には圧縮応力が発生すると考えられる。いっぽう、有機系Low-k材料の線膨張率は、6×10⁻⁵/K程度と銅よりも大きく、このような場合にはまた異なった挙動を示すことが予想される。このように残留応力は材料と構造の組み合わせによって変わるため、単純な計算では解析が困難であり、有限要素法などの数値計算をもちいるのが有効である。当社はコンピュータシミュレーションをもちいた構造解析に永年の経験を有しており、この技術を微細構造の解析に応用する取り組みをおこなっている。

第7図は銅配線とビアホールからなる構造に熱履歴を与えた場合の、残留応力を弾塑性変形モデルによって計算した例である。こういった解析はまだモデルの精度に検討の余地はあるが、前述のストレスマイグレーションに対する影響の検討などに活用できる可能性を秘めている。



シミュレーションした構造 アニール後の相当応力分布
第7図 ビアホールの残留応力シミュレーション

これまでLSIはシリコン、SiO₂、SiN、それにアルミという4種類の材料だけで構成されてきたといっても過言ではないが、高速化と高集積化のトレンドを今後も維持するためには、これまで述べたような新材料の導入は不可避といわれている。LSI製造プロセスへのこれら新材料の導入はまだ始まったばかりであり、今後も活発な研究開発が進められるものと思われる。

ここで紹介した評価例はLSI向け新材料の評価技術のごく一部であり、当社では、このほかにも材料や研究目的に合わせたさまざまな分析をおこなっている。

[エレクトロニクス事業部エレクトロニクス技術部 鈴木康平]