

昨今の半導体分野では高性能化、高速化の要求が年々増してきており、その要求にこたえるべく、ムーアの法則に基づき、半導体の高集積率化、微細化、低コスト化へと技術革新を進めてきた。

しかしながら、現状の技術では回路の微細化について限界を迎えつつあるため、チップを積み上げる3D実装や水平方向に実装する2.5D実装といった新たな実装技術が普及しつつある。

これらの部品の3D実装には新規の接合技術が数多く使われており、それにともない、新たな分析評価技術が求められている。

本稿では3D実装、2.5D実装基板の評価、解析手法をメインに、半導体デバイスやパワーデバイスなど、さまざまな実装部品における、剥がれ、クラック、破壊、変形などの不具合品調査や試作品の評価に対して、多種多様なメニューの中から特徴のある解析メニューについて紹介する。



技術本部
物理解析センター
技術部 物理ソリューション室

おおくぼ 孔明
大久保 孔明



技術本部
物理解析センター
解析部 藤沢解析室

むくぎ しんや
椋木 新也



技術本部
物理解析センター
解析部 関門解析室

はら ひろゆき
原 寛佑

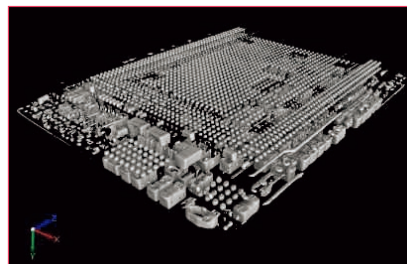
A-1 パッケージの進化(3D、2.5D実装)に求められる設計

チップレット(第1図)は、チップ内のグローバル配線の一部を配線基板側に持たせることで、積層されたチップ間の通信を効率的に行うためにシステム設計されたものである。その設計には、インターポーザーやサブストレーツなどのVia(ビア:貫通孔)および銅配線の微細化と信頼性、高密度実装における歩留まり、放熱経路や応力の複雑化、電気特性などの機能試験を考慮した

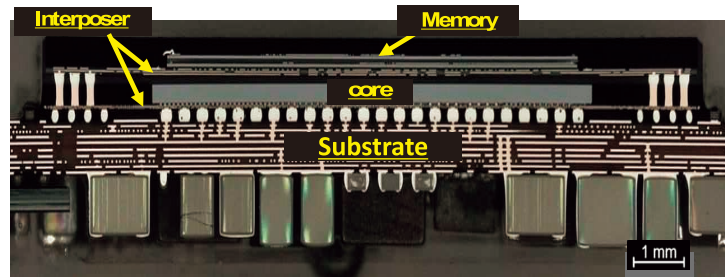
構造と解析手法が必要である。

また、ハイエンドの半導体では、Chip-to-Wafer方式のハイブリッド接合をもちいた製品開発も進んでおり、接合面の各種活性化処理、Cu電極やSiO₂界面における接合強度、狭ピッチ絶縁性、低温接合性、反りなどを考慮した設計が必要である。

第1図 3次元実装部品のX線CT観察および断面観察の事例



X線CT観察



光学顕微鏡観察

A-2 Via接合部における断面解析

第2図はサブストレーツ内の約70 μ m径のVia接合部の中心部を横断する形で断面試料を作製し観察したもので、銅配線とViaの接合界面に黄色矢印で示すようなボイドが点在している。

このようなVia接合部に微細ボイドや剥離、クラック等の異常

が存在すると断線につながる可能性があり、機器故障や誤動作の原因となる。そのため、接合状態を正確に把握しておくことが重要である。

第3-1図はインターポーザー内のひとまわり小さい約40 μ m

径のマイクロVia中央部の断面観察結果である。

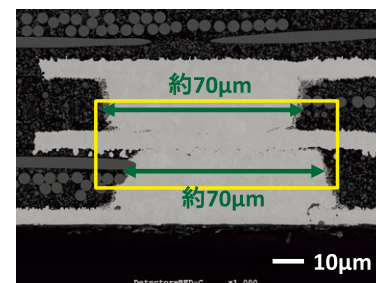
サブストレーツのViaと同様、接合状態の把握が重要になるが、この拡大写真からは一見、界面のボイドはほとんど無いものと判断される。

しかしながら、第3-2図に示すとおり、さらに5万倍まで拡大

すると、界面には帯状に分布するナノオーダーの微細ボイドが多数認められる。このように年々縮小する複数のマイクロViaの中央を狙って加工し、観察することには、高度な断面加工技術が必要である。

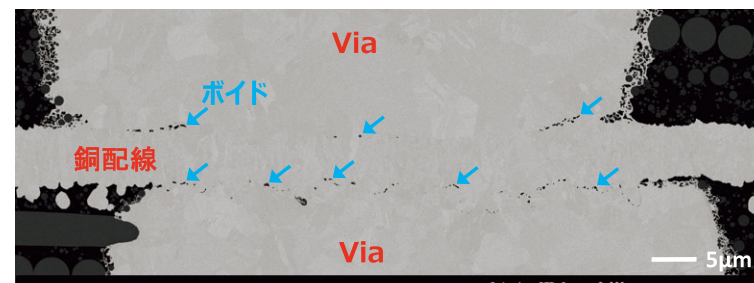
第2図 サブストレーツ内のVia接合部の断面SEM観察

反射電子像(組成像)



観察倍率: $\times 1,000$

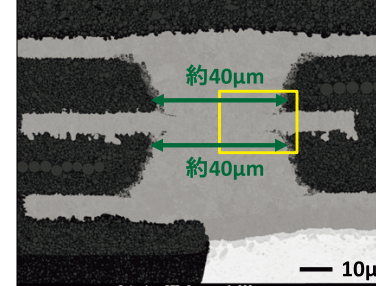
反射電子像(組成像)



観察倍率: $\times 5,000$

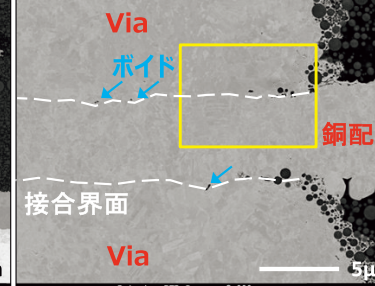
第3-1図 インターポーザー内のマイクロVia接合部の断面SEM観察

反射電子像(組成像)



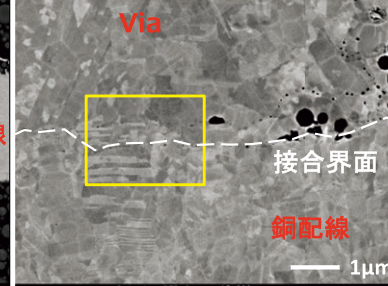
観察倍率: $\times 1,000$

反射電子像(組成像)



観察倍率: $\times 5,000$

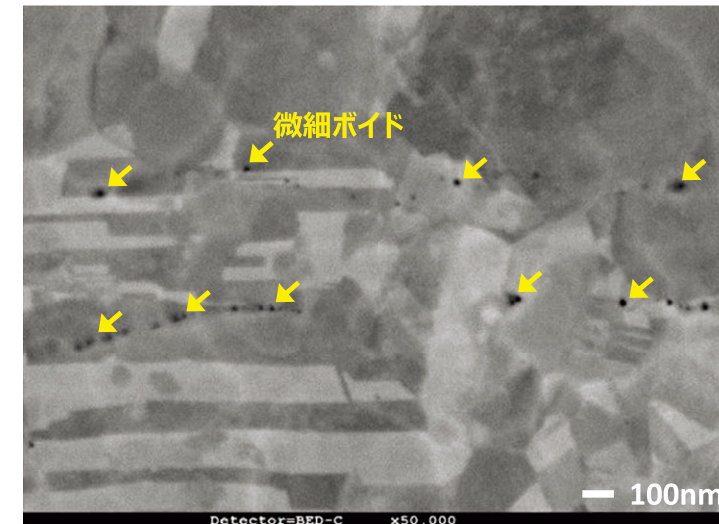
反射電子像(組成像)



観察倍率: $\times 15,000$

第3-2図 インターポーザー内のマイクロVia接合部の拡大観察

反射電子像(組成像)



観察倍率: $\times 50,000$

第4図に示す結晶方位解析 (Electron Back Scatter Diffraction: EBSD)により、界面付近の結晶方位や結晶粒の情報を明確に得ることができる。Inverse Pole Figure (IPF) Mapでは結晶方位を色別で表示しており、Boundary Mapでは双晶や亜粒界を含む結晶粒界の情報を示している。

EBSD解析と断面SEM(Scanning Electron Microscope: 走査型電子顕微鏡)観察結果より、微細ボイドの存在位置が特定され、Via接合部に関しては、接合界面に対して結晶粒が連続的に成長した状況から良好な接合状態が示唆される。

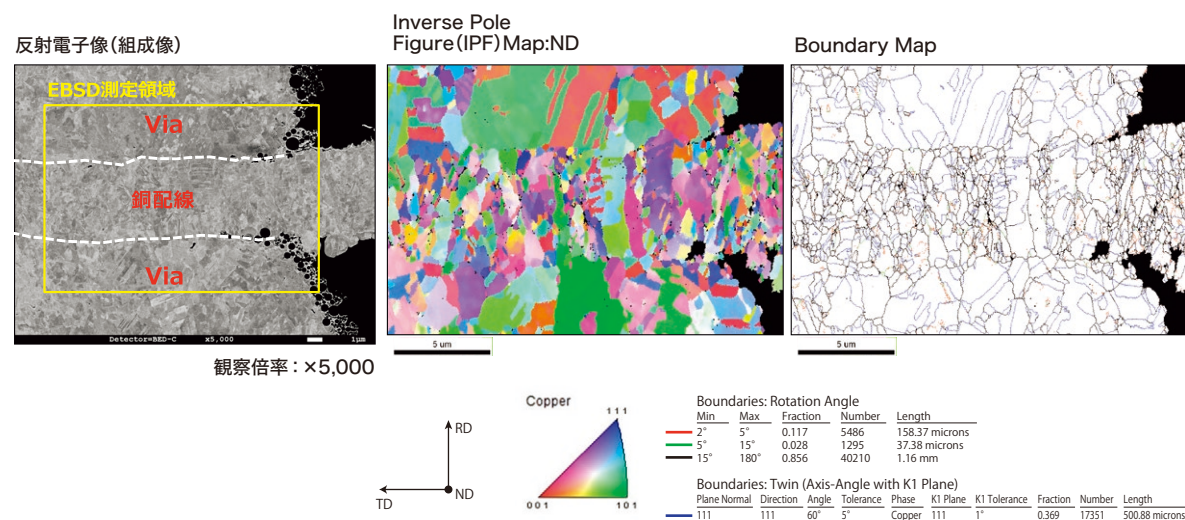
第5図はマイクロVia部断面のSecondary Ion Mass Spectrometry (SIMS) 分析を行った結果である。SIMS 分析で

はppmオーダーのごく微量元素の分析を行うことができ、空間分解能1ミクロン以下での高精細マッピング分析が可能であることから、本件のマイクロViaのような局所領域での分析に有効である。

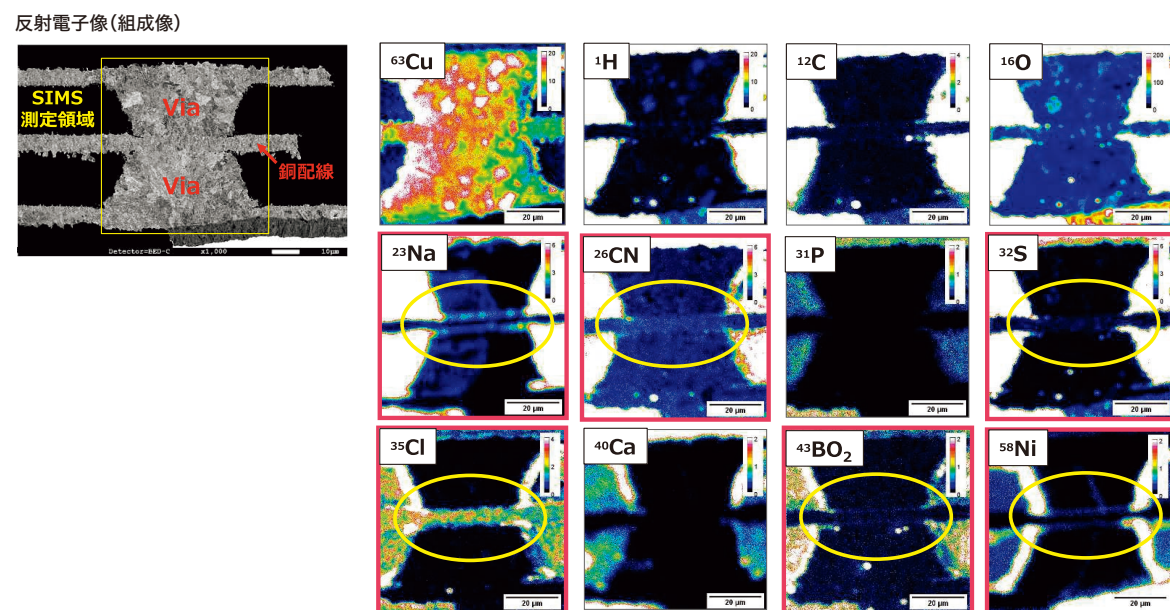
本分析では黄色丸を付けた箇所注目すると、無電解めっき層にはNa, N, S, Cl, B, Niがごく微量存在していることが明らかとなり、ボイド生成との関連性が示唆されるデータが得られた。

このように、断面観察による、直接的な接合の良、不良の判断、EBSD解析による結晶構造学的な考察、SIMSによる界面不純物の把握を行う事によって、接合強度の改善や、微細ボイドの低減による信頼性の向上につなげることができる。

第4図 インターポーザー内のマイクロVia接合部の結晶方位解析(EBSD)



第5図 インターポーザー内のマイクロVia接合部のSIMS分析



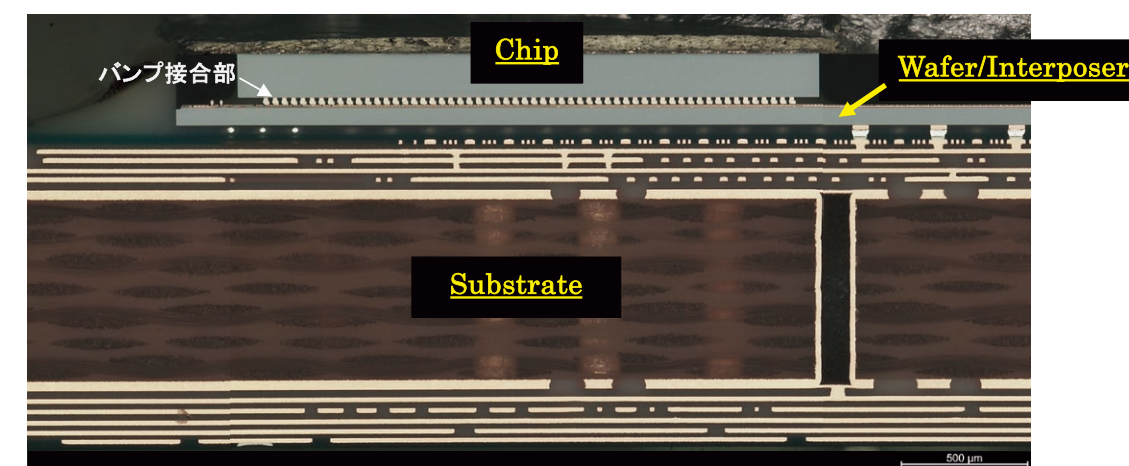
銅配線／Via界面付近にNa、N、S、Cl、B、Ni元素が分布。

A-3 2.5D実装の各種接合評価

2.5D実装については、インターポザーの素材によって、多種多様な方式が提案されている。具体的なインターポザーの材料としてシリコン(Si)、有機樹脂、ガラスなどがあげられ、丸形のウェハーサイズ、角型のパネルサイズなどのバリエーションがある。それぞれメリット、デメリットがあり、たとえば、Siインターポザーよりも有機樹脂やガラスのほうが安価だが、微細配線には限界がある。高周波特性は有機樹脂が良いが、Siチップとの線膨張係数のミスマッチが問題になりやすいなどと言われている。

このような状況の中、開発競争が激化しており、重要になるのが評価技術である。対象材料ごとに評価の観点や、必要なテクニックが異なるため、分析技術についても、日々進化させている。今回は、現在量産が始まっている、Si インターポーザーの評価技術について紹介する。デバイスとしては、Chip on Wafer on Substrate のタイプであり、これは、複数の異なる機能を持った Si チップを Si ウェハ上に搭載し、その後、Substrate 上に実装する工程をへる。第 6 図、第 7 図に、Chip on Wafer の接合部を、

第6図 2.5D実装パッケージの断面光学顕微鏡観察



光学顕微鏡観察

第7図 Chip on Wafer 接合部の拡大観察



觀察倍率：×500

観察倍率：×1,500

第8図に、Wafer on Substrateの接合部および、Wafer 中の貫通電極(Through Silicon Via: TSV)部の断面SEM観察結果を示す。

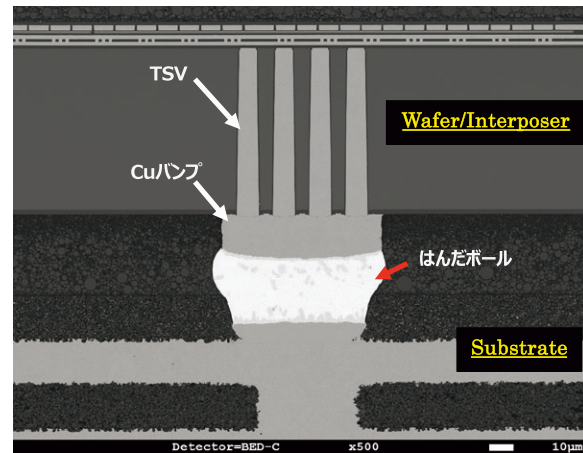
第6図に広域断面加工を行い、2.5D実装パッケージの光学顕微鏡観察した結果を示す。広い範囲でパンプの断面を出すことができ、数多くのパンプに対して、接合の良、不良を確認することができる。第7図がパンプ接合部の拡大図であるが、Chip on Wafer接合部が、20 μ m前後のCu パンプをはんだ接合したものであることがわかる。Snベースのはんだが、Cuパンプと反応して合金を形成し、その合金でパンプ間が接合されていることがわかる。接合の評価においては、パンプの位置ずれ、はんだの量ととり方、合金層の成長度合いなどの情報が得られる。特にパンプのずれはブリッジを誘発する可能性が考えられ、重要な観察ポイントである。また、アンダーフィル材の充填具合や、フィ

ラーの偏り具合なども明瞭に観察することができ、新しい充填材料の評価などにも有効である。

第8図に、Wafer on Substrateのパンプ接合部の拡大を示す。WaferがSiインターポーザーの機能を持つが、写真の上側に再配線層を持ち、TSVでウェハ下側のCuパンプと接続し、Substrateとはんだボールで接合されている。この断面SEM観察により、TSVの出来栄え、Cuパンプとの接続の良・不良、はんだボールのつぶれ具合などの評価が可能である。今回観察した部位においては、TSVとCuパンプ接合部において、前述した微細VOIDが多く認められ、長期接続信頼性の点で懸念が残る。

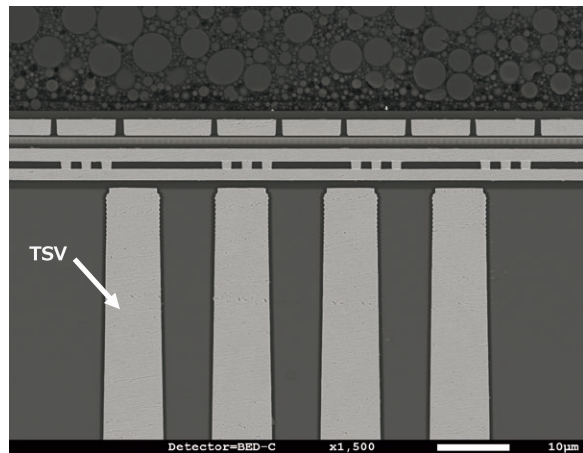
第8図 Wafer on Substrate 接合部の拡大観察

反射電子像(組成像)



観察倍率: $\times 500$

反射電子像(組成像)



観察倍率: $\times 1,500$

A-4 ハイブリットボンディング製品の密着性評価

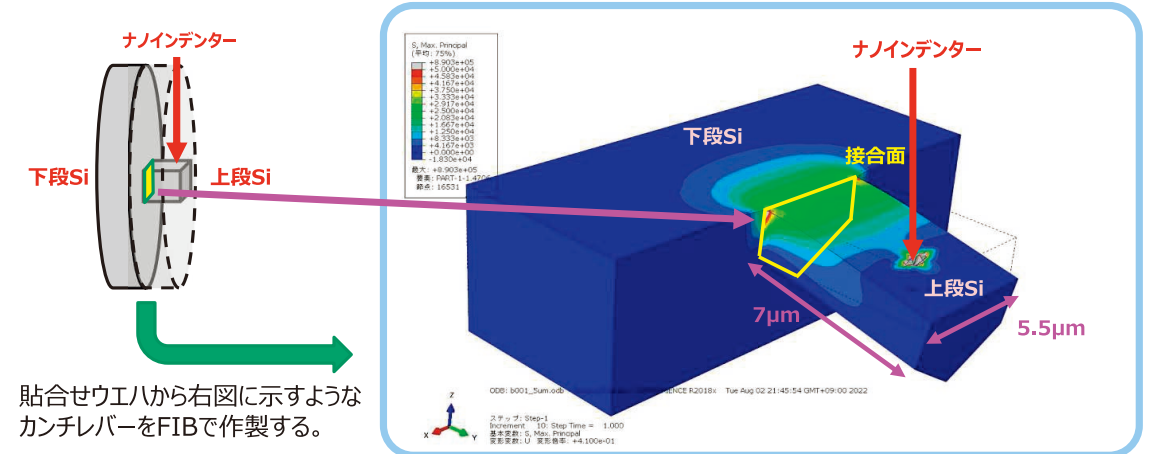
貼り合わせウェハ界面の密着性評価の手法として、Double Cantilever Beam Test (DCB法)が主流であるが、DCB法では、ウェハの周辺部しか測定できないといったデメリットがある。

本稿で紹介するマイクロカンチレバー法を第9図に示す。FEM解析モデルであらかじめ想定されたウェハ界面で、最大応力が働くようなマイクロカンチレバーサンプルをFocused Ion Beam (FIB)加工により任意の場所に作製する。作製したレバー先端部をナノインデント圧子で押し込んだ際に、レバーが破壊した時の曲げ応力を求めることで接合強度を評価する手法である。本手法の最大のメリットは評価位置を自由に選択できることであり、ウェハの面内ばらつきなども評価可能である。

第10図は評価の一例である。この事例では荷重約3700 μ Nで破壊した。

本試験方法は、チップ貼り合わせ界面のみならず、さまざまな接合界面や微細な構造体での応用が期待される。

第9図 マイクロカンチレバー法FEM解析モデル



第10図 貼り合わせウェハマイクロカンチレバー法による解析

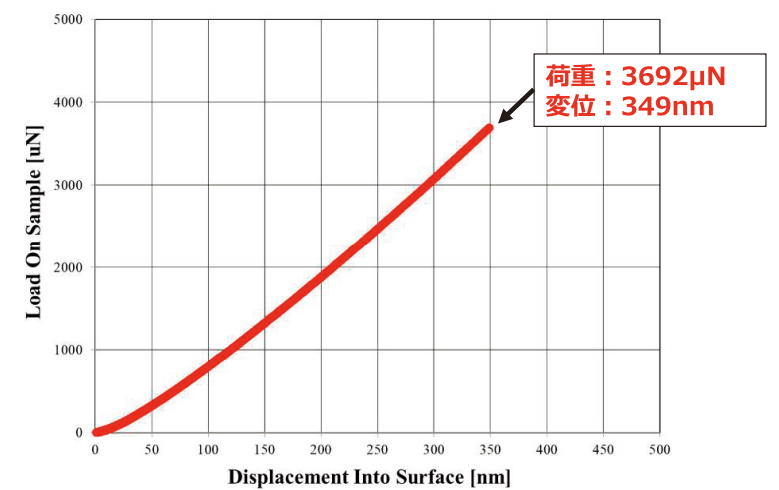
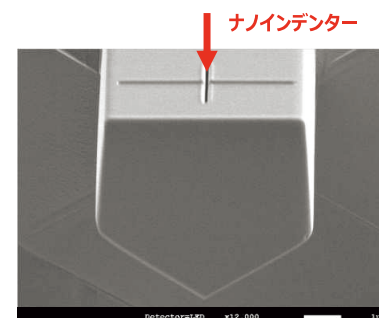
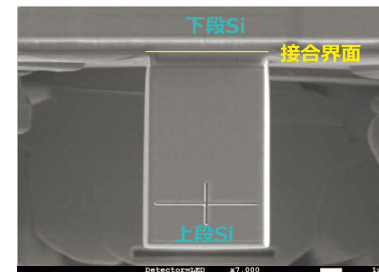


図 荷重-変位曲線

<応用例>
チップ/ウェハ・各種基板/モールド樹脂・チップ/モールド樹脂

本稿では3D実装された半導体部品の評価、解析技術の一端を紹介した。チップを垂直方向に積み上げる3D実装や、さまざまなチップを平面方向に配置する2.5D実装などの、チップレット技術の開発では従来の後工程の概念をくつがえし、前工程の技術を融合させたプロセスが行われる。そこには、さまざまな接合技術がもちいられており、信頼性の担保のために、その評価を正しく行うことが求められ、半導体部品の高集積率化、微細化にともない、製品の評価に対するお客様のニーズはますます高まっている。このようなご要望にお応えできるよう、分析・解析技術のさらなる高度化、新規解析技術のメニュー化を図り、社会に貢献していきたいと考えている。